

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-110918

(43)Date of publication of application : 30.04.1996

(51)Int.Cl.

G06F 17/50

(21)Application number : 06-282080

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.11.1994

(72)Inventor : KOJIMA TOSAKU
MORI TERUO
TAKIGAWA KOUZOU
TAKAHASHI SHINJI
NISHIYAMA YOSHITOKU
ARAI SHINICHI
OHASHI TOSHIJIRO
HAYAKAWA MITSU HARU

(30)Priority

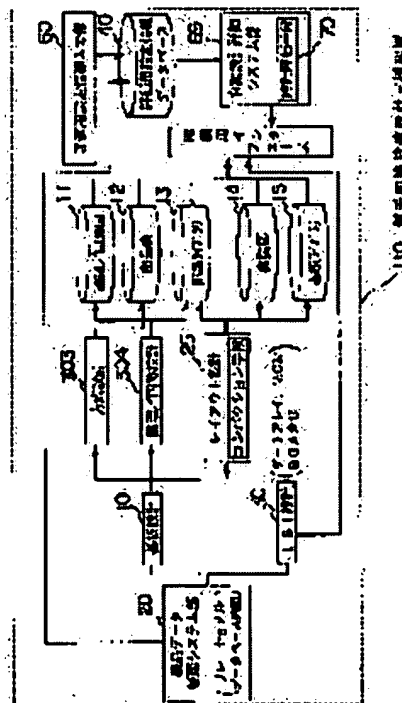
Priority number : 06193964 Priority date : 18.08.1994 Priority country : JP

(54) DEVICE AND METHOD FOR SUPPORTING OPTIMIZING DESIGN OF ELECTRONIC CIRCUIT

(57)Abstract:

PURPOSE: To improve the performance and quality, to reduce the cost and to attain a short-run product development without requiring expert's quantitative evaluation.

CONSTITUTION: Since a design evaluating means 70 can shorten the overall wiring length by determining priority based upon a relational data based for electronic circuit products stored in a product data managing system part 20, equalize wiring distribution and minimize the areas of elements, a printed circuit board or an LSI having the minimum number of layers capable of suppressing circuit delay to the minimum can be attained. Thereby, the improvement of performance and quality, cost reduction and short-run product development can be attained.



LEGAL STATUS

[Date of request for examination]

01.08.2000

[Date of sending the examiner's decision of]

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3230937

[Date of registration] 14.09.2001

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平8-110918

(43)公開日 平成8年(1996)4月30日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 17/50		9191-5H	G 0 6 F 15/ 60	6 5 8 Z
		9191-5H		6 5 8 T
		9191-5H		6 5 8 U
		9191-5H		6 5 8 W
			審査請求 未請求 請求項の数7	OL (全 24 頁)

(21)出願番号	特願平6-282080	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成6年(1994)11月16日	(72)発明者	小島 東作 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内
(31)優先権主張番号	特願平6-193964	(72)発明者	森 照夫 神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内
(32)優先日	平6(1994)8月18日	(72)発明者	滝川 醇三 神奈川県小田原市国府津2880番地 株式会社日立製作所ストレージシステム事業部内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 秋本 正実

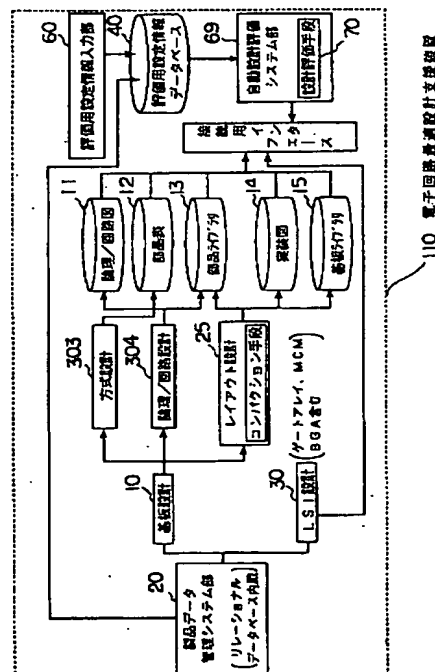
最終頁に続く

(54) 【発明の名称】 電子回路最適設計支援装置及びその方法

(57) 【要約】

【目的】 熟練者によって定量的評価を下すことなく、性能向上、低コスト、品質向上および短期製品開発ができること。

【構成】 設計評価手段 70 が、製品データ管理システム部 20 に格納された電子回路製品に係るリレーションデータベース 21 に基づき、優先順位をきめて、総配線長を短縮化させることができると共に、配線分布を平準化させることができ、しかも素子面積の最小化を図ることができる結果、回路遅延を極力抑えた最小層数のプリント回路基板化や LSI 化を実現することができる。従って、性能向上、低コスト、品質向上および短期製品開発を行うことができる。



【圖 1】

【特許請求の範囲】

【請求項 1】 電子回路製品の設計時、該電子回路製品を構成する各部品のプリント回路基板設計と L S I 設計との何れか一方の設計の最適性を評価する電子回路最適設計支援装置において、製品データベースに格納された電子回路製品に係るリレーショナルデータベースに基づき、予め定めた優先順位順で処理し、かつプリント回路基板設計化と L S I 設計化との何れか一方を選定する設計評価手段を備え、かつ該設計評価手段は、第 1 優先であって、総ピン数を削減する手段及び等分割された領域内の配線長と平均配線長との差分の積分値を最小化する配線長差分積分値最小化手段を夫々有するコンパクション手段と、第 2 優先であって、要素部品の組合せからなる回路機能をブロックとして表現し、その機能ブロック間の接続関係を規定したサブ回路ブロックを割り付け、上記機能ブロック図の各ブロックサイズの割付面積を見積り、基板または L S I の信号配線層を最小層数化する手段とからなることを特徴とする電子回路最適設計支援装置。

【請求項 2】 電子回路製品の設計時、該電子回路製品を構成する各部品のプリント回路基板設計と L S I 設計との何れか一方の設計の最適性を評価する電子回路最適設計支援装置において、製品データベースに格納された電子回路製品に係るリレーショナルデータベースに基づき、予め定めた優先順位順で処理し、かつプリント回路基板設計化と L S I 設計化との何れか一方を選定する設計評価手段を備え、かつ該設計評価手段は、第 1 優先であって、総ピン数を削減する手段及び等分割された領域内の配線長と平均配線長との差分の積分値を最小化する配線長差分積分値最小化手段を夫々有するコンパクション手段と、第 2 優先であって、要素部品の組合せからなる回路機能をブロックとして表現し、その機能ブロック間の接続関係を規定したサブ回路ブロックを割り付け、上記機能ブロック図の各ブロックサイズの割付面積を見積り、基板または L S I の信号配線層を最小層数化する手段と、上記回路ブロック内の素子遅延量及び配線遅延量を見積ると共に、素子内の消費電力量を見積もる手段とからなることを特徴とする電子回路最適設計支援装置。

【請求項 3】 前記電子回路製品に係るリレーショナルデータベースを有する製品データ管理システム部は、消費電力計算機能、実装実績データベース、標準回路知識ベース等を有すると共に、評価の対象となる電子回路製品の評価情報を管理するようにしたことを特徴とする請求項 1 または 2 に記載の電子回路最適設計支援装置。

【請求項 4】 前記コンパクション手段は、基板設計または L S I 設計における評価結果の改良のため、総配線長を短縮化させるゲートアレイ化手段と、MCM (マルチチップモジュール) 化手段と、標準回路機能の親密度の大きさに基づいて回路を分割する回路分割手段と、平

均配線長を超える配線長を最小化させる差分積分値最小化手段を有することを特徴とする請求項 1 または 2 に記載の電子回路最適設計支援装置。

【請求項 5】 前記設計評価手段は、プリント回路基板と L S I との何れか一方の初期段階の方式設計において、サブ回路ブロック図を割り付けるサブ回路割付手段と、上記機能ブロック図の各ブロックサイズを見積もる割付面積見積り手段・高さオーバ部品抽出手段と、上記ブロックの機能からその矩形化率を見積もる矩形化率見積り手段と、上記ブロックに基づいて基板化と L S I 化との一方を選択する選択手段と、該選択された一方の配線評価を行なう配線評価手段と、上記ブロックのプリント回路基板と L S I との品質機能である配線遅延量・消費電力量を見積もる遅延・消費電力見積り手段と、選択手段によってプリント回路基板が選定されたとき、該プリント回路基板の設計工数を見積もる設計工数見積り手段を有することを特徴とする請求項 1 または 2 に記載の電子回路最適設計支援装置。

【請求項 6】 電子回路製品名を入力したとき、製品データ管理システム部に格納されたリレーショナルデータベースに基づき、該当する電子回路製品を構成する部品表に論理/回路図を読み込んで表示し、次いで、該読み込まれた論理/回路部に基づいて該論理/回路部に必要な部品数、基板面積を求め、その後、予め求められかつ基板上における信号配線層の信号層数、チャンネル数に基づいてチャンネル要求率を求め、求めたチャンネル要求率をしきい値と比較して、電子回路製品の設計工数を算出することを特徴とする電子回路最適設計支援方法。

【請求項 7】 電子回路製品名を入力したとき、製品データ管理システム部に格納されたリレーショナルデータベースに基づき、該当する電子回路製品を構成する部品表に論理/回路図を読み込んで表示し、次いで、該読み込まれた論理/回路部に基づいて該論理/回路部に必要な部品数、基板面積を求め、その後、予め求められかつ基板上における信号配線層の信号層数、チャンネル数に基づいてチャンネル要求率を求め、求めたチャンネル要求率を予め定めたしきい値と比較し、電子回路製品を構成するプリント回路基板上の信号配線を自動化し得る設計工数を算出することを特徴とする電子回路最適設計支援方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電子回路の設計効率向上のために、計算機援用設計システム (Computer Aided Design System: 以後 CAD システムと称する) を用いて作成した設計情報をもとに、その電子回路基板の早期製品化を図るため方式設計又は論理回路設計段階で、L S I 設計と基板設計とを同時処理が行なえ、生産実績のある類似製品のノウハウを生かして電子回路設計を行なう電子回路最適設計支援

システムに関する。

【0002】

【従来の技術】回路基板が作り易い構造であるか否かを評価する従来の第1の手法としては、設計時にデザイン・レビューと称して設計や製作等の熟練者が経験に基づいて作り易さを判定して、要改良部を指摘する一般的な手法が知られている。

【0003】従来の第2の手法としては、図2に設計と製造し易さの評価と設計改良の流れを示すように、設計図をもとに工程計画を行ない推定組立費や時間を算出して、この値と設計や製作等熟練者の経験とを加味して構造の良し悪しを判定する方法がある。

【0004】また従来の第3の手法としては、特開昭61-59900号公報に記載されているように、プリント板パッケージ電子部品実装の組立自動化率を、自動評価するプリント板パッケージ組立評価方法がある。この方法では、プリント板パッケージの組立において部品を挿入する際の自動化のし易さを評価するため、人手による標準形挿入半導体集積回路の標準取付時間を100として、被評価部品の部品挿入のし易さの難易度を減点指数で表わし、これより人手による部品挿入の部品の積算減点を求めたうえ、全自動の場合を100として100から人手による積算減点値を差し引き、この値の評点を組立自動化の指標とするようにしている。

【0005】さらに、従来、電子回路製品の方式設計の機能ブロック図による初期設計の段階では、まだ機能ブロック内の論理接続情報が確定していないため、機能ブロック内の領域見積り及びLSI、プリント基板への実現可能性の判定はほとんど行なわれておらず、行なうにも設計者が机上で検討を行なう程度であった。

【0006】

【発明が解決しようとする課題】上記した従来の第1の方法では定性的で、評価対象品の構造がどの程度に良いか悪いかや改良した場合にどれ位の効果があるかを、客観的・定量的に表現することが難しいという、設計や生産技術に十分な経験のある者しか実施することができないという問題があった。

【0007】従来の第2の方法では、基板全体や部品毎あるいは部品の一部の組立費が推定できたとしても、その値からだけでは設計構造が良いのか悪いのかや改良が必要なのか否かが判定しにくく、また評価するのに経験や知識とかなりの計算時間とが必要で容易には行なえないという、さらに設計が完了しなければ評価することが難しいため、設計改良が必要と分ったとしても、図2に示すように、一旦設計が完了すると設計変更には多大の時間を要することから、設計変更を行なうことなく生産に移され、生産性向上やコスト低減が実現しないことが多いという問題があった。

【0008】従来の第3の方法では、経験があまりなくても評価が可能であるが、評価指標が回路基板に部品を

挿入する際の組立自動化し易さのみを評点で表わす方法である。すなわち、通常の回路基板の組立は、回路基板の装着、挿入部品の挿入、基板反転、チップ部品装着、乾燥、基板反転、異形部品挿入、手挿入、はんだ付、洗浄、後付、検査などの多岐にわたる工程を経て回路基板が製作されるものであるから、部品挿入での工数比は基板製作全体の10～30%程度の比率であって、部品挿入の自動化し易いだけでは、組立易さの良否が正確かつ総合的に判定できないという問題があった。

【0009】さらに、従来の設計方式では表現しようとする機能ブロックによる設計対象が現実には形状の定まっている又は制約のあるLSI又はプリント基板の上に収容可能かどうかがあいまいであり、その実現可能性の判定は非常に困難であった。また、設計がさらに進み、その実現可能性が明確になるレイアウト設計後又は実装設計試行段階での領域見積りによって初めて収容不可能と判定された場合には、一部の実現機能を省略し、別のLSI、又はプリント基板に変更させて実現しなければならない状態に陥るが、この段階では、別のLSI、又はプリント基板も進行しており、この段階で上記のような設計の変更を行うとすると、複数のLSI、プリント基板で大幅な設計の後戻りが必要となり、影響が非常に大きくなるという問題があった。

【0010】以上の問題点を総合すると、(1)評価が定性的であって、定量的評価でない、(2)経験豊富な者でなければ評価できない、或は、ある程度の評価手法の知識を必要とし、(3)コストだけで評価すると、性能や品質を総合的に評価ができない、(4)評価に手間もしくはある程度の時間がかかる、(5)設計が終了する、もしくは終りに近づかなければ評価ができず、判定後の設計改良が行ないにくい、(6)部品ごとに設計の良し悪しが分かり易くなっていないので、製品改良が行ないにくい、ということになる。

【0011】本発明の解決すべき技術的課題は、上記した従来技術のもつ問題点を解決することにある。即ち、本発明の目的とするところは、(1)定量的評価であって、(2)経験を必要とせず、かつ、(3)コスト評価だけでなく、性能向上、品質向上および短期製品開発という相反する評価項目を統一的に評価でき、(4)評価が容易に、かつ、(5)設計開発の早い段階で評価が行なえ、(6)部品設計段階で評価でき、(7)性能、品質、納期の評価指標を持ち、かつこの指標がコストと関連づけることができ、(8)設計中のCAD情報から直接評価が行なえ、(9)設計中に即時に統合的コストの最適化を目指した設計評価が行なえ、(10)機能ブロックによる方式設計時に、LSI又はプリント回路基板の実現可能性を判断できる設計評価方式を得ることができる電子回路最適設計支援装置を提供することにある。

【0012】また他の目的は、プリント回路基板を選定したとき、該プリント回路基板の設計工数を求めること

ができる電子回路最適設計支援方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は上記した目的を達成するために、まず性能向上、低コスト、品質向上および短期製品開発という相反する評価項目を、同時に評価するための製品データ管理システム部と、コンパクション部（配線サイズ縮小化）を有するCADシステム部を結合した設計評価手段を設けたものである。即ち、本願発明では、電子回路製品の設計時、該電子回路製品を構成する各部品のプリント回路基板設計とLSI設計との何れか一方の設計の最適性を評価する電子回路最適設計支援装置において、製品データベースに格納された電子回路製品に係るリレーショナルデータベースに基づき、予め定めた優先順位順で処理し、かつプリント回路基板設計化とLSI設計化との何れか一方を選定する設計評価手段を備え、かつ該設計評価手段は、第1優先であって、総ピン数を削減する手段及び等分割された領域内の配線長と平均配線長との差分の積分値を最小化する配線長差分積分値最小化手段を夫々有するコンパクション手段と、第2優先であって、要素部品の組合せからなる回路機能をブロックとして表現し、その機能ブロック間の接続関係を規定したサブ回路ブロックを割り付け、上記機能ブロック図の各ブロックサイズの割付面積を見積り、基板またはLSIの信号配線層を最小層数化する手段とからなることを特徴とするものである。また、本発明装置では、設計評価手段がさらに、上記回路ブロック内の素子遅延量及び配線遅延量を見積ると共に、素子内の消費電力を見積る手段とを有している。

【0014】また、本発明方法では、電子回路製品名を入力したとき、製品データ管理システム部に格納されたリレーショナルデータベースに基づき、該当する電子回路製品を構成する部品表に論理/回路図を読み込んで表示し、次いで、該読み込まれた論理/回路部に基づいて該論理/回路部に必要な部品数、基板面積を求め、その後、予め求められかつ基板上における信号配線層の信号層数、チャンネル数に基づいてチャンネル要求率を求め、求めたチャンネル要求率をしきい値と比較して、電子回路製品の設計工数を算出することを特徴とするものである。

【0015】

【作用】本発明装置では、上述の如く、製品データベースに格納された電子回路製品に係るリレーショナルデータベースに基づき、予め定めた優先順位順で処理し、かつプリント回路基板設計化とLSI設計化との何れか一方を選定する設計評価手段を備え、かつ該設計評価手段は、第1優先であって、総ピン数を削減する手段及び等分割された領域内の配線長と平均配線長との差分の積分値を最小化する配線長差分積分値最小化手段を夫々有するコンパクション手段と、第2優先であって、要素部品の組合せからなる回路機能をブロックとして表現し、

その機能ブロック間の接続関係を規定したサブ回路ブロックを割り付け、上記機能ブロック図の各ブロックサイズの割付面積を見積り、基板またはLSIの信号配線層を最小層数化する手段とから構成されているので、総配線長を短縮化させることができると共に、配線分布を平準化させることができ、しかも素子面積の最小化を図ることができる結果、回路遅延を極力抑えた最小層数のプリント回路基板化やLSI化を実現することができる。従って、性能向上、低コスト、品質向上および短期製品開発という総合的判断に基づいた最適設計支援を行うことができる。

【0016】また本発明方法では、電子回路製品名を入力したとき、製品データ管理システム部に格納されたリレーショナルデータベースに基づき、該当する電子回路製品を構成する部品表に論理/回路図を読み込んで表示し、次いで、該読み込まれた論理/回路部に基づいて該論理/回路部に必要な部品数、基板面積を求め、その後、予め求められかつ基板上における信号配線層の信号層数、チャンネル数に基づいてチャンネル要求率を求め、求めたチャンネル要求率をしきい値と比較して、電子回路製品の設計工数を算出するので、設計者が方式・回路設計段階で、実装設計時の配線の判別が可能となり、従って、容易かつ正確な配線判別を行うことができるばかりでなく、求めた設計工数の大きさに基づいて自動化への対処もできる。

【0017】

【実施例】以下、本発明の実施例を図1～図27によって説明する。図1は、本発明が適用される電子回路最適設計支援装置の構成の概要を示す図である。図1に示す電子回路最適設計支援装置110は、対象製品に係るリレーショナルデータベースを有する製品データ管理システム部20と、製品開発管理者が基板設計及びLSI設計における製品目標仕様に対してこれらの設計事前評価結果が目標未達成の場合、これらの改良のために総配線長の短縮化を図るためのLSI設計CADにおいて、ゲートアレイ化またはMCM化またはBGA（ボールグリットアレイ）化を選定するLSI化手段30と、論理/回路設計やレイアウト設計を行う基板設計CAD10において配線分布の平準化を図るよう平均配線長を超える配線長差分積分値最小化手段を有するコンパクション手段25と、論理/回路図11、部品表12、部品ライブラリ13、実装図12、基板ライブラリ15、上記LSI設計CADからの異機種間の情報の接続用標準フォーマットを有するインタフェース50と、各担当設計者が新規電子回路製品の設計の事前評価のための評価用設定情報入力部60と、製品データ管理システム20からの情報を格納する評価用設定情報データベース40と、該データベース40に基づいて各種設計を評価する各種設計評価手段70を有する自動設計評価システム部69とを備えているものである。

【0018】前記製品データ管理システム部20は、図18に示すように、電子回路製品に係るリレーショナルデータベース21を格納しており、リレーショナルデータベース21には消費電力計算機能22、後述する実装実績データベース95、図9に示す標準回路知識ベース96等が格納されている。消費電力計算機能22では各ICの（電源電圧×消費電流）の総和、CPUの最大動作周波数時の（電源電圧×消費電流）の総和等により、消費電力量が計算される。

【0019】そして、まず、製品データ管理システム部20に格納されたリレーショナルデータベース21に基づき、基板化するための基板設計10を行うか、LSI化するためのLSI設計30を行うかを選定する。その場合、何れを選定するかに際しては、近年の電子回路の高性能化に伴い、高性能化の目的を達成する必要があるため、素子面積を最小化すること、総配線長を最小化することが主体である。このように目的とする評価基準が2つあると、配置問題が複雑になり、最適解が求められなくおそれがある。そこで、本発明では、素子面積の最小化と総配線長最小化との二つの目標に重み付けを持たせることにより電子回路製品の最適設計を行うことを提供するものである。即ち、総配線長最小化の手段を第1優先にし、次に、素子面積の最小化を第2優先することにより、最適化を図るものである。これは電子回路の高性能化に伴い、一般に配線の伝播遅延は配線長に比例するが、素子における回路遅延に比べて、配線遅延の方が数倍大きくなり、特にLSIの配線幅に対するデザインルールの微細化傾向とともにさらに大きくなることは明らかである。

【0020】そして、前記総配線長、即ちチャンネル要求長 L_T' を最小化するために、次式の数1に示すように、そのもとになる平均配線長 L_{pp} と総ピンピン数 N_{pp} を最小化するようにしている。

【0021】

【数1】

【数1】

$$L_T' = L_{pp} \times N_{pp}$$

【0022】通常、電子回路の高性能化をする手段として、電子部品点数の削減するために、LSI化することを考えるが、その前に、次に部品配置数Bと平均配線長 L_{pp} との関係を示す。

【0023】

【数2】

【数2】

$$L_{pp} = 1.68 \sqrt{\frac{A}{B}} \times \frac{\frac{1}{B^{\frac{1}{3}}} - 1}{1 - B^{-\frac{1}{3}}}$$

【0024】但し、A：配線領域の面積

B：部品配置数

上記数2の式による部品配置数Bと平均配線長 L_{pp} との関係は、図25に示すように、電子部品点数Bを削減することは、即ちLSI化することは、平均配線長 L_{pp} の増大の傾向を示すことになり、不具合がある。

【0025】ここで、図3に示すように電子回路設計の流れを示す。同図において、一重枠は電子回路設計における一般的設計の流れであり、本発明による実施例の特徴とする設計を二重枠で示している。一般に、設計においては、図3に示すように、設計構想301の結果に基づいて電子回路構想設計302を行う。そして、LSI設計30においてゲートアレイ設計31、MCM設計32、BGA設計33等を行なう。一方、基板設計10において、方式設計303、論理／回路設計304の後、レイアウト設計34を行なう。該レイアウト設計34では、フロアプラン設計35において部品配置36、概略配線37及び詳細配線38等からなる配線設計を行った後、後述のコンパクション手段25を行なう。なお、論理／回路設計304の後には、レイアウト設計34の他、テスト設計305をした後、製造・検査工程を行うこととなる。

【0026】図4にはLSIレイアウト29のフロアプラン設計時の内容を示す。即ち、LSIの機能毎にブロックの分割を行い、ブロック仕様を決定し、チップレイアウトの全体構成を決定するまでを表している。図4において、LSI機能ブロック29の中で、a, b, c, d, eはセルを夫々表し、またネット上の数字は信号ピンの数を表し、これにより、機能ブロック間の接続信号線の数と、ICの数との計数化を図ることが通常のやり方である。図5は上述のしたLSI機能ブロック毎の平面三角グラフを示している。このグラフにより、LSI設計者は各機能ブロックとブロック間の接続関係を明確化し、不必要な接続を省くことにより、最小ピンの数のパッケージに納めることができる。

【0027】そして、各機能毎のLSIブロックのレイアウトを図6に示すようにとることとなる。図6はLSIレイアウト設計34と基板設計10との関係を示す説明図であり、図中のLSIレイアウト28において、セルdは正方形であるが、セルa, b, c, eは矩形である。実装図14において、CPUとこれに接続されている素子D1, D2, D3, D4及び上記LSIレイアウト28によって設計されたLSIの配置されている状態を示している。ここで設計担当者が基板を設計するにあたり、部品配置を均等化し、かつ該部品の配線も局所的に密集しない均等にできるようにするため、図のようにメッシュで分割し、配線の密集具合を評価する。

【0028】一般に、接続すべきブロック端子（ブロックの中心点）の組をネットと呼ぶが、配線処理における各ネットは、図6に示すように、水平、垂直の線分だけで結んだときの線分の長さの和をマンハッタン長とすると、CPUと素子D3との間では、X方向とY方向との

互いに直交する仮想配線長がマンハッタン長 $D = \Delta x + \Delta y$ となる。

【0029】図7は配線遅延見積手段80の内容を示す説明図である。同図ではLSIにおける配線遅延を示しており、LSIが微細化すると、それに伴って発生し得る信号遅延の支配的な要因は、セル内部（素子内部）の遅延 d_i ではなく、セル間（素子間）の配線遅延 x_i となる。LSIのゲートの配線幅の微細化により、微細化プロセスが異なる場合、例えば、配線幅 $0.5\mu m$ のデザインルールでは、配線遅延が全遅延の60%以上を占めている。即ち、 $x_1 + x_2 + \dots + x_i / (x_1 + x_2$
[数3]

$$r \geq \max \begin{cases} a_1 + x_1 + d_1 + x_4 + d_4 + x_7 \\ a_2 + x_2 + d_2 + x_5 + d_5 + x_6 \end{cases}$$

【0032】一般に、LSIプロセスを微細化すると、素子自体のスピードは上がる。しかしながら、配線幅が細くなると、配線抵抗が上がり、配線による遅延時間が大きくなる。このように、素子自体の遅延時間に比して、配線抵抗による遅延時間の方が大きくなり、上記数式3から、配線抵抗の遅延時間を考慮することにより、配線設計の精度向上を図ることができる。

【0033】図8は標準回路図11の例を示す説明図である。通常、回路図は70%は実装の実績がある既存の標準回路を使用し、それ以外は新規設計による回路図を使用している。従って、このような標準回路図11を製品データ管理システム部20に格納することにより、流用設計が可能になる。デジタル回路の設計の場合、現在ではソフトウェアで機能を制御できるマイクロコンピュータを利用した回路の設計が主流になってきている。

【0034】まず、このとき回路図のシード素子となるマイクロコンピュータのCPUを中心に、バッファ素子群とクロックジェネレータ素子群とメモリ素子群とバス名とに夫々機能別に格納しておくことと再利用が可能となることから、図9に示すようにデータベースに機能別に格納する。

【0035】図9は図8に示したような各素子群の機能の親密度、即ち互いに近い距離に置かれている素子同士の重みの尺度による回路分割のための部品配置用知識ベース構成96を示す説明図である。マンハッタン長を D 、ネットの素子に対する重みを CV_D 、被接続素子ピン数を N_p 、CPUとの接続ピン数を N_c 、シード素子とこれに接続する素子との間の親密度を X_j は数4の式ようになる。

【0036】

【数4】

$+ \dots + x_i) + (d_1 + d_2 + \dots + d_i) \geq 0.6$ となることから、総配線長の最小化が最優先であることが分かる。従って、総配線長の最小化の手段を最優先とし、素子面積の最小化を第2優先として重み付けを持たせることにする。

【0030】ここで、図7においてタイミング制約条件として、出力側の要求到達時刻を r とし、入力側の実到着時刻を a_i とすると、[数3] のようになる。

【0031】

【数3】

【数4】

$$X_j = \frac{1}{D} \cdot \frac{N_p}{N_c}$$

【0037】このようにすることにより、 N_p 、 N_c はCADのネットリストにより与えられ、 D は実装図から配線長より求められるので、 X_j を自動演算することができる。回路設計者が過去の実績のある実装設計の部品配置結果を回路図と共に、実装設計のCAD終了後に、CADの図示しない切り出し機能を利用して、図形入力すると共に、 X_j 、後述の X_D などの属性を取込み、標準回路図として製品データ管理システム部20に格納しておく。

【0038】一方、シード素子上の各ピンに対する親密度の重み X_D は、数5のようになる。

【0039】

【数5】

【数5】

$$X_D = \frac{X_j}{CV_D}$$

【0040】 CV_D はCPUに対し、情報が双方向の方が一方向より重みを高くし、距離が近い方が遠い方より重みを高くしており、設計者が該重みを対話方式で入力できるようにしている。これにより、回路図のネット情報だけでなく、部品配置の属性情報も付加することができる。

【0041】設計者が製品データ管理システム20の中に、上記数5の親密度の重み X_D の最大値で全ての値を割ることで、図9に示したように、正規化した値をライブラリとしてファイルに格納することで標準回路11の部品の配置位置を知識ベース96として利用することができる。今後、回路設計とくにデジタル系回路設計がマ

マイクロコンピュータのシステム設計がますます中心になっていくに従い、CPUをシード素子とする部品配置の属性情報を付加した標準回路の知識ベース96が必要である。

【0042】次に、基板設計10において、配線密度均等化を考慮したコンパクション手段の一部25'を図10により説明する。このコンパクション手段25'は、
[数6]

$$\text{平均配線長を超える配線長の配線長積分値} = \sum_{i=1}^n (l_i - l_{pp})$$

【0044】このようにコンパクション手段25がその一部25'としての配線密度均等化を考慮することにより、配線密度の過密部分を最小化することで、総配線長を短縮化することができる。

【0045】次に、図11を用いてMCM（マルチチップモジュール）の設計32について説明する。図11に示すように、論理図／回路図を選定すると（111）、それに基づいて設計者がMCM実装コンセプトプランニングを行なう（112）。このときのプランニングとしては、MCM基板サイズ（113）、配線条件（114）、パイヤホール（115）等を選定するが、これら113～115の他にコストを推定することにより（116）、MCMの仕様、基板サイズ、層数等の概要を推定することができる（117）。このようなMCMの設計32は、通常では、ベアチップ2を直接に多層基板2の上に実装することができ、チップとリード間の内部配線がないため、配線長を容易に短縮化できる。なお、コスト推定116の詳細については次の図12において説明する。

【0046】一方、ゲートアレイの設計31について図12により説明する。ゲートアレイ設計31では、まずゲートアレイ化候補の回路の抽出を行ない（121）、次いで、ゲートアレイのプロセスを選択することにより、デバイス構造上からのICの分類でのC-MOS（Complementary Metal Oxide Semiconductor）、Bi-CMOS（Bipolar-CMOS）、ECL（Emitter Coupled Logic）の何れかのプロセスで製作するかどうかなを選定する（122）。ここで、C-MOSは消費電力が小さくかつ中速であり、Bi-CMOSはC-MOSより速くかつ消費電力が小さい。一方、ECLは高速であるが、消費電力が大となる特徴がある。

【0047】そして、対象回路のゲート数換算を行ない（123）、必要ゲート数の計算を行う（124）。この際、積み上げたゲート数は安全を見て、1.1～1.2倍したものを必要ゲート数とする必要があり、これを考慮することにより、市販ゲートアレイのゲート数から市販品の品種の選択を行なう（125）。また、市販メーカのゲートアレイの価格を見積もる必要があるが、1

まず図6に示した実装図14において基板をメッシュに分割してメッシュ内配線長を l_i とし、このときの配線密度の均等化を図るため、メッシュ内配線長 l_i が数2から求めた平均配線長 L_{pp} を超える配線長の差分積分値を次の数6のように求める。

【0043】

[数6]

ゲート当たりの単価と総ゲート数からの価格と開発費を生産総個数で割った開発費をゲートアレイ価格として試算する（126）。以上のことから、有利品種とメーカとの選択を行なう（127）。その後、ゲートアレイのメリットを評価するに当たり、上記のようにLSI化する方が良いか、または基板で設計する方が良いか否かを選択するため、両者を比較する（128）。ここでは、LSI化または基板化の選択を、選択手段72により設計者が対話方式でチェックし（129）、その結果、メリットの多い方を設計者を介し選択手段72によって選定することとなる。そのメリットの比較内容としては、選択手段72は、現状回路のコストから減少コスト分と増加コスト分を合算するものである。減少コスト分としては、（1）削減可能部品の単価合計、（2）基板の面積減少分のコスト、（3）組立工数減少分のコスト、（4）部品数減少分の管理費、（5）その他等がある。増加コスト分としては、（1）ゲートアレイの単価、（2）ゲートアレイの開発費、（3）実装・組立のために導入した設備費、（4）その他等がある。従って、選択手段72が上記減少コスト分の（1）～（5）及び増加コスト分の（1）～（4）を比較し、基板化よりメリットが多くなった場合に、ゲートアレイ設計31を決定する。このような夫々のコストは図11で前述したMCMの設計に際しても利用されるものである。

【0048】次ぎに、方式設計・回路設計における実装設計評価の仕方について図13により説明する。図13において、方式設計・回路設計段階の配線評価手段75は、製品データ管理システム部20に格納されたリレーショナルデータベースに基づき、基板関係の情報、VIAホール関係の情報が入力されることにより、配線の評価することとなる。その場合、VIAホール関係ではその一部の診断パッドが設計者により対話形式で入力されるが、それ以外は自動で入力される。また、ピン当たりの使用不可チャンネル数の入力については図示していないが、ライブラリのテーブルを参照して自動入力により行なう。そして、必要情報が全て入力されると、配線評価手段75は、入力情報に基づいて処理し、その処理結果を出力画面76上に図13図に示すように、表面実装化率、部品総数、デジタルIC化率、総ピン数、総ピンピン数、部品ピン密度、部品密度、部品投影面積率等を

表示する。

【0049】ここで、基板関係で矩形化率 τ は、基板のX方向（長辺側）の寸法を x 、基板のY方向（短辺側）の寸法を y とすると、次式から求めることができる。

【0050】

【数7】

[数7]

$$\tau = \frac{2}{1 + \sqrt{\frac{y}{x}}}$$

【0051】上記数7の式において、基板寸法 x 、 y により、基板の矩形化によって配線のしにくさが影響を受ける。これは図6に示したLSIの矩形化の場合も同じである。図14には方式設計・回路設計段階における実装設計評価の矩形化率見積り手段の検証結果を示している。この場合、チャンネル要求率 η は、有効チャンネル容量 L_c に対するチャンネル要求長 $L_{T'}$ の比率で、数8の式に示すように表わされる。

【0052】

【数8】

[数8]

$$\eta = \frac{L_{T'}}{L_c} \times \frac{1}{\tau} \times 100$$

【0053】このような矩形化率 τ を考慮したときの検証結果は、実装総配線長と計算によるチャンネル要求長 $L_{T'}$ の誤差で比較すると、+1.7~+7.4%の精度であった。この程度の誤差は実用化できるに十分な精度である。従って、矩形化率 τ を考慮すれば、実装総配線長と計算によるチャンネル要求長との誤差を無視し得る程度のもとなるので、チャンネル要求率を求めると、その求めたチャンネル要求率に基づいて図15に示すように、設計工数を演算により求めることができる。図15は電子回路の設計工数の見積結果を示しており、同図から、設計工数がチャンネル要求率と基板面積との積で求められることが分かる。

【0054】次に、LSI設計または回路基板設計における設計評価手段について図16により説明する。本実施例では図示しないが、グラフィックディスプレイをもち、キーボードやマウス等の入力手段により、そのディスプレイを見ながら各種データを入力することの可能なワークステーション上に実現されている場合を想定している。設計評価手段70は、LSI、プリント基板の初期段階の方式設計または回路設計において、回路機能のブロックとして表現して、その機能ブロック間の接続関係を設定したサブ回路ブロック図を割り付けるサブ回路割付手段74と、上記機能ブロック図の各ブロックサイズを見積もる割付面積見積り手段74と、後述の三次元的

な干渉をチェックする高さオーバ部品抽出手段100と上記ブロックの機能からその矩形化率 τ を見積もる矩形化率見積り手段73と、上記ブロックの図LSIまたはプリント基板上におけるLSI化または基板化を図12のようなLSI化または基板化選択手段72と、図13にて前述した配線評価手段75と、品質機能である、図7に示したLSIまたはプリント基板の配線評価を行う配線遅延見積り手段80と、さらに後述の消費電力を見積もる消費電力見積り手段81と、プリント基板の短期製品開発のための図13に示したような設計工数を見積もる設計工数見積り手段90とを有して構成されている。これら71~75, 80, 81, 90, 100によって設計評価手段70を構成すると、基板化するときとLSI化するときとを総合的に評価できるので、基板化するかとLSI化するかとを評価段階で選定することができ、従って、ブロック図による初期段階でLSIまたはプリント基板の実現可能性を判断できるという効率がある。

【0055】図17には前記コンパクション手段25を示している。同図におけるコンパクション手段25は、図1に示したように評価用設定情報ベース40に基づいて総配線長の短縮化25a及び配線分布の平準化25bを果たすものである。この場合、総配線長の短縮化25aとしては、総ピン数の削減(170)が有効であり、そのため、設計者が図12に示したゲートアレイ化31、図11に示したMCM(BGAを含む)化の手段32、図9に示した機能の親密度による回路分割の手段96を選択することによって達成することができる。また、配線分布の平準化25aとしては、図10に示したように、平均配線長を超える配線長差分積分値を最小化する手段25'によって実現することができる。

【0056】図19は基板のサブ回路割付手段71を示す説明図である。回路設計段階で、設計者は回路図を図19のように、サブ回路に回路分割して設計しておき、各ブロックを分割して評価し、結果を図16のように評価することにより、各部の配線量を比較し、また図12に示すコストメリットによりゲートアレイ化または基板化の選択を総合的検討から確実に行なうことができる。さらに1枚の回路図中の任意の機能ブロックのサブ回路を切り出し、基板面積等を仮定して、もし基板面積が想定した面積に搭載できない場合に、回路のゲートアレイ化等の検討についても支援することもできる。

【0057】これにより、上記の機能ブロックの各ブロックサイズの割付面積を見積り、図13により、チャンネル要求率即ち配線のしにくさと設計工数との兼ね合いから、最小層数の基板化または最小層数のLSI化する手段を提供することができる。一般に、回路基板は実装設計まで移行してしまうと再度回路設計まで手戻りして設計変更することになると開発期間が遅くなるが、本発明によれば、方式設計・回路設計段階でブロック回路毎に設計評価ができるため、開発期間の短縮化ができる効果

がある。本発明によれば回路基板の方式設計・回路設計段階で実装密度推定を行うとともに、図13に示すように設計工数の短縮化を可能にできるという特徴がある。図20には基板の接続実装構造を示し、スルーホールにより、層間の接続を行っている状態を示している。図21にはLSIの接続実装構造を示し、第1層金属線と第2層金属線との接続は基板と同じようにスルーホールにより層間の接続を行っている。図20、図21から基板とLSIとの何れも、スルーホールにより層間の接続をおこなっており、基本的にはプリント基板とLSI接続構造は同じである。従って、本発明において、基板またはLSIの最適層数の選定の考え方は両者に適用できることが明かである。

【0058】図22は新規パッケージ基板設計のため過去の実装実績データとの参照手段を示す説明図である。製品データ管理システム部20の実装実績データベース95の中には過去のパッケージ基板(○、▽等でマークしている)毎の基板サイズ、ピン密度、ネット数、チャンネル数、部品投影面積、その他が格納されている。設計工数見積手段90によれば、新規のパッケージ基板設計のため、過去の実装実績データベース95からの実装実績データ(○、▽等でマークしている)の中のピン密度や部品投影面積やその他の組合せと新規のパッケージ基板の前記の組合せとをグラフ表示することにより、新規のパッケージ基板の設計工数(またはチャンネル要求率)と実装実績データとの比較参照により、実装設計量の程度を把握することができる。

【0059】図23は3次元高密度実装のための高さオーバー部品抽出手段を示す説明図である。設計者がグラフィックディスプレイ上で許容部品高さを指定すると、製品データ管理システム部20のリレーショナルデータベースに格納されている図24に示す基板上の部品高さhが許容部品高さをオーバーしている部品を抽出することができる。

【0060】図24は部品の高さ及び部品投影面積を示す説明図である。基板の全体の部品投影面積はこれらの部品投影面積の総和により求められる。図25は部品配置数と平均配線長との関係を示す説明図である。前述のように部品数の削減、即ちLSI化するだけでは、平均配線長が増大するので、このことからコンパクション手段25が必要になることを表している。

【0061】図26は、本発明の他の特徴である設計工数見積手段90を示している。図26において、使用する回路部品が決められると、図13のように、部品配置数B、基板面積Aが自動生成される。これにより、前述した数2の式から平均配線長L_{pp}が求められ、これから、チャンネル要求長L_{r'}が求められる。

【0062】次に、L_{r'}と数7の式から求められる矩形化率εに基づき、数8の式によりチャンネル要求率ηが自動生成される。さらに、対話で信号層数C、チャネ

ル数Chを仮定し(101, 102)、設計工数計算部103が次式の数9から設計工数F(x)を見積もることができる。

【0063】

【数9】

【数9】

$$Y = (3.87\eta \times A \times C / 10 + 115)^n$$

【0064】ここで、F(x)：設計工数関数(チャンネル要求率としきい値0.2との比較で判定され、設計工数関数推定テーブル107による)

チャンネル要求率としきい値0.2との範囲が決定されると、設計工数の関数判定部104の中の設計工数関数推定テーブル107をもとに、設計工数関数F(x)が設計工数関数決定部105により求められる。このようにして、チャンネル要求率と基板面積との関数からなる設計工数計算部103と設計工数関数決定部105の結果に基づき、信号層数、チャンネル形式毎の設計工数見積が設計工数見積手段90により求められる。以上の出力結果を設計工数の出力画面106に示す。信号層数、チャンネル形式毎にチャンネル要求率、即ち配線のしにくさと設計工数が求められるので、これらの兼ね合いから、基板上における信号配線層の最適層数、チャンネル数を求めることができる。

【0065】以下に、本発明の具体例の操作を図27を参照しながら説明する。まず、これから評価しようとしている製品名をキーボードにより入力すると(ステップa)、該当する製品を構成する部品の部品表に、論理/回路図11が読み込まれ(ステップb)、読み込まれた論理/回路図11がディスプレイに表示される。設計者はその画面を見ながら設計工数見積として、配線評価手段75により部品数、基板面積Aを計算していく(ステップc)。ステップdにおいては、設計者が信号層数、チャンネル数を対話入力することにより、チャンネル要求率ηが数8に示されるような算出式で求められる。そして、チャンネル要求率求められた後、ステップeにおいて、しきい値の0.2と比較し、設計工数が二通り求められる。このとき、ステップg及びg'において、ηが0.2未満のとき、自動配線の場合の設計工数が数9に示されるような算出式で求められる(ステップh, h')。その出力結果はステップiにおいて、ディスプレイ上に信号層数、チャンネル形式毎の設計工数が設計工数見積手段90により求められる。この結果、求めた設計工数により、設計者は方式・回路設計段階で、実装設計時の配線の判別が可能となる。

【0066】従って、電子回路製品名を入力すると、該当する製品を構成する部品表に論理/回路図11が読み込まれて表示され、該読み込まれた論理/回路部11に基づいて部品数、基板面積Aを求めると共に、基板上における信号配線層の信号層数、チャンネル数に基づいてチ

チャンネル要求率 η を求め、求めたチャンネル要求率 η を予め定めたしきい値(0.2)と比較して、該しきい値より小さいか否かを求めようとしている。その結果、しきい値より小さい値の設計工数が求められると、その設計工数での自動化が可能となり、自動化する上での設計工数を容易に算出することができる。一方、しきい値以上の設計工数が求められると、人手配線が介在することとなる。この場合、人手配線では自動化配線に比して数倍の労力がかさみかつ時間もかかることとなるので、設計者は、自動化配線が可能となるように見直し、修正作業を行い、自動配線のために迅速に対処することが可能となる。

【0067】

【発明の効果】以上のように、本発明の請求項1及び2によれば、電子回路製品の設計に際し、電子回路製品を構成する部品の信号線の総配線長を短縮化すると共に、配線分布を平準化させることにより、プリント回路基板化するかLSI化するかを選定するように構成したので、従来技術のように熟練者によって定量的評価を下すことなく、性能向上、低コスト、品質向上および短期製品の開発ができるという相反する開発目標を同時に実現できるという効果が得られる。また、本発明によれば、生産実績がある類似製品のノウハウを活かして新たな製品を設計することが可能になり、新製品の開発期間を短縮できるという効果も得られる。LSI設計と基板設計とを同時に並列処理が行なえるので、設計効率が従来に比べて大幅に向上するという効果も得られる。

【0068】本発明の請求項3によれば、製品データ管理システム部が消費電力計算機能、実装実績データベース、標準回路知識ベースを有し、評価の対象となる製品の評価情報を管理するように構成したので、設計すべき電子回路製品を、従来のように各種専用のCADをいちいち用いなくとも評価することができ、CADに依存しないで製品評価することができ、請求項4によれば、コンパクション手段がゲートアレイ化手段、MCM化手段、回路分割手段、配線長差分積分値最小化手段を有することにより、総配線長の短縮化及び配線分布の平準化を的確に実現することができ、請求項5によれば、プリント回路基板の信号配線層数、チャンネル数形式毎の設計工数を見積もるので、設計工数の結果に応じ自動配線か手動配線かを容易に判断することができる。

【0069】そして、さらに本発明方法である請求項6によれば、電子回路製品がプリント回路基板で構成する場合、該回路基板上の信号層数、チャンネル形式毎の設計工数が設計工数見積り手段により求め、該求めた設計工数により、設計者が方式・回路設計段階で、実装設計時の配線の判別が可能となるので、容易かつ正確な配線判別を行うことができるばかりでなく、求めた設計工数の大きさに基づいて自動化への対処もできるという効果がある。

【0070】さらに、請求項7によれば、チャンネル要求率がしきい値より小さい値の設計工数が求められると、その設計工数での自動化が可能となり、自動化する上での設計工数を容易に算出できるので、電子回路製品の設計に際し、設計構想から自動化の設計工数までを的確に算出することができ、文字通りの支援機能の自動化を図り得る効果がある。

【図面の簡単な説明】

【図1】本発明に係る電子回路最適設計市得矩装置の一実施例の全体構成を示す概要説明図である。

【図2】従来の製品設計と製造の評価と改良の流れを示す説明図である。

【図3】本発明の電子回路設計の流れを示す説明図である。

【図4】LSIレイアウトの機能ブロック図である。

【図5】平面三角グラフを示す説明図である。

【図6】LSIレイアウト設計と基板設計との関係を示す説明図である。

【図7】LSIネットの配線遅延の関係を示す説明図である。

【図8】基板の標準回路図である。

【図9】機能の親密度による回路分割のための部品配置用標準回路知識ベースを示す説明図である。

【図10】配線密度均等化を考慮したコンパクション手段を示す説明図である。

【図11】MCMの基板サイズの設計方式を示す説明図である。

【図12】ゲートアレイの設計方式を示す説明図である。

【図13】方式設計・回路設計段階における配線評価手段を示す説明図である。

【図14】方式設計・回路設計段階における実装設計評価の矩形化率見積り手段の検証結果を示す説明図である。

【図15】電子回路の設計工数の見積結果を示す説明図である。

【図16】LSI設計または回路基板設計における設計評価手段を示す説明図である。

【図17】総配線長の短縮化または配線分布の平準化のコンパクション手段を示す説明図である。

【図18】消費電力の計算機能を示す説明図である。

【図19】基板のサブ回路割付手段を示す説明図である。

【図20】基板の接続実装構造を示す説明図である。

【図21】LSIの接続実装構造を示す説明図である。

【図22】新規パッケージ基板設計のため過去の実装実績データとの参照手段を示す説明図である。

【図23】3次元高密度実装のための高さオーバ部品抽出手段を示す説明図である。

【図24】製品データ管理システム部に格納された部品

の高さ及び部品投影面積を示す説明図である。

【図 25】 部品配置数と平均配線長との関係を示す説明図である。

【図 26】 設計工数見積手段を示す説明図である。

【図 27】 設計工数見積手段の手順を示すフローチャートである。

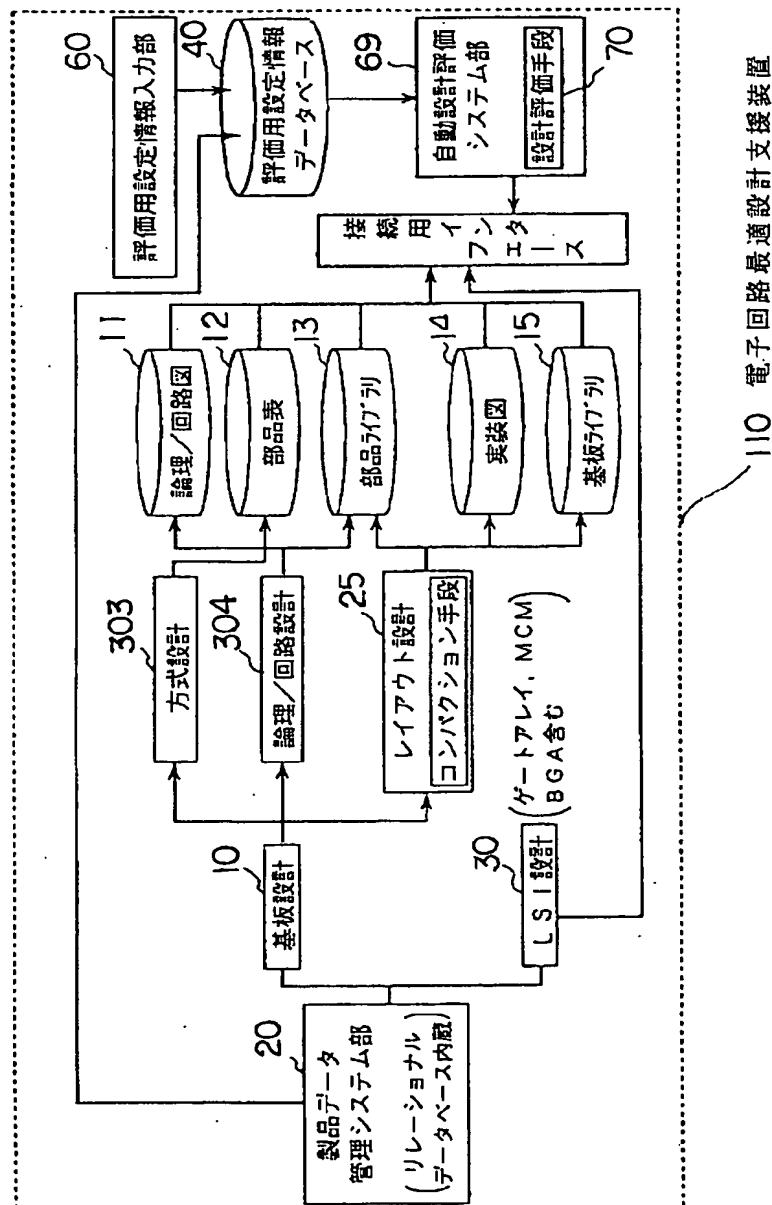
【符号の説明】

20…製品データ管理システム、21…リレーショナルデータベース、22…消費電力計算機能、25…コンパクション手段、50…接続用インタフェース部、60

…評価用設定情報入力部、70…設計評価手段、71…サブ回路割付手段、72…LSI化または基板化の選択手段、73…矩形化率見積手段、74…割付面積見積手段、75…配線評価手段、80…配線遅延見積手段、81…消費電力見積手段、90…設計工数見積手段、95…実装実績データベース、96…標準回路知識ベース、100…高さオーバ部品抽出手段、103…設計工数見積部、107…設計工数関数推定テーブル、110…電子回路最適設計支援装置、 η …チャンネル要求率。

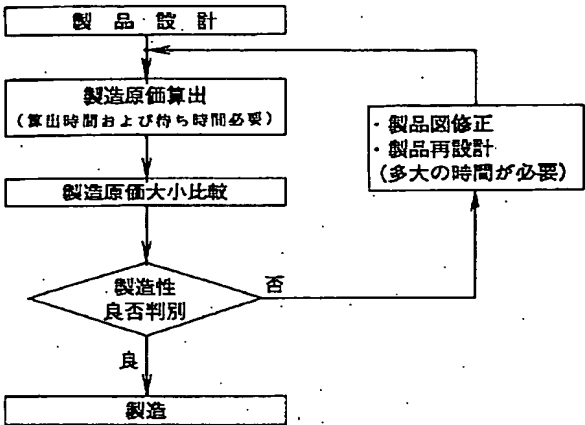
【図 1】

【図 1】



【図2】

【図2】

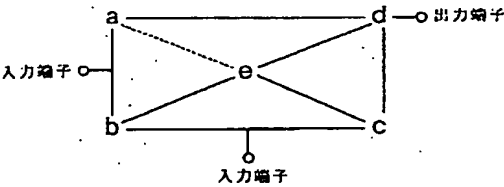


【図4】

【図4】

【図5】

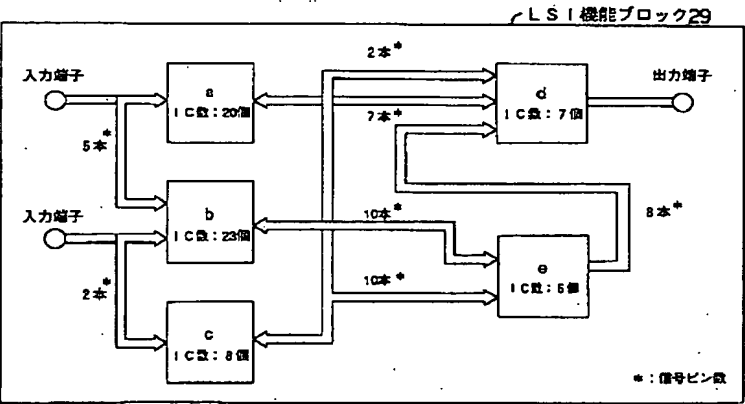
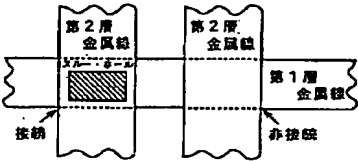
【図5】



【図21】

【図21】

LSIの接合実装構造



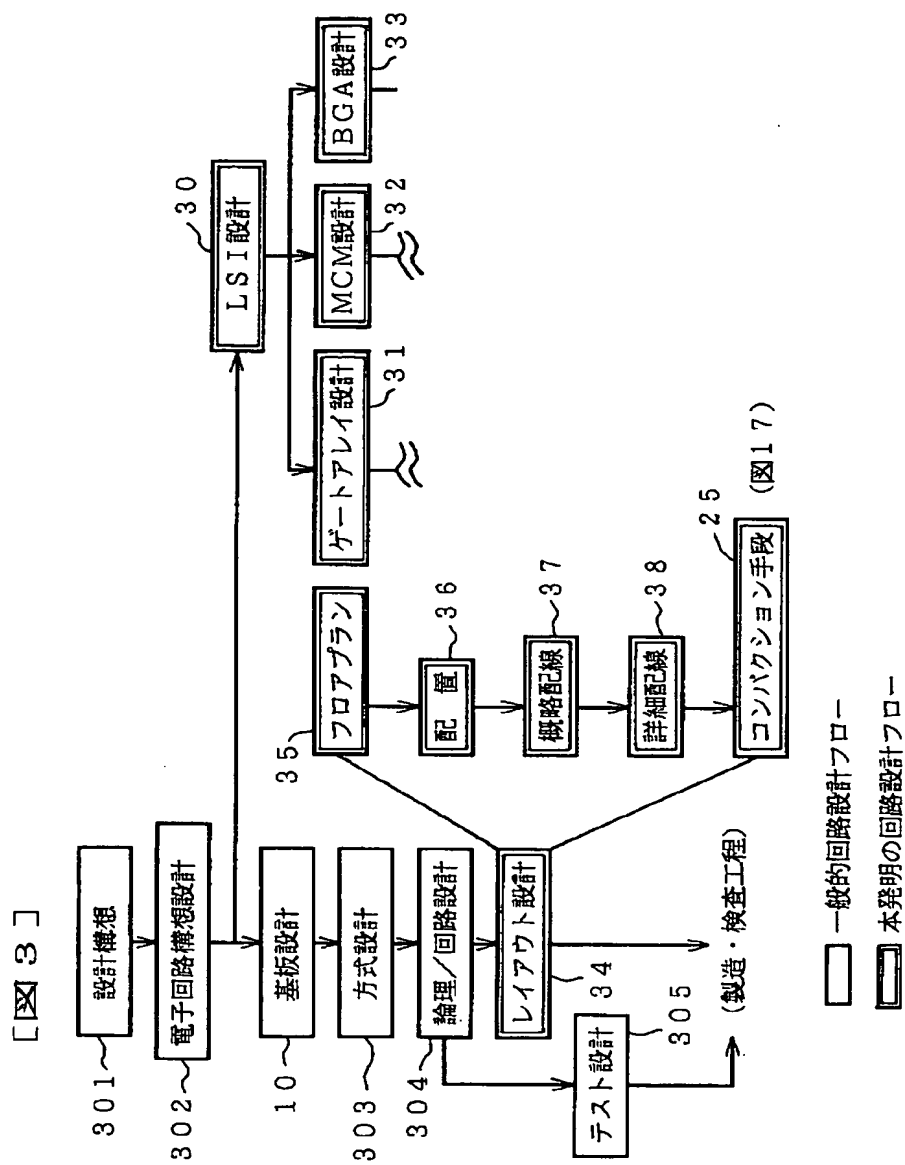
【図14】

【図14】

矩形化率見積手段73の検証結果

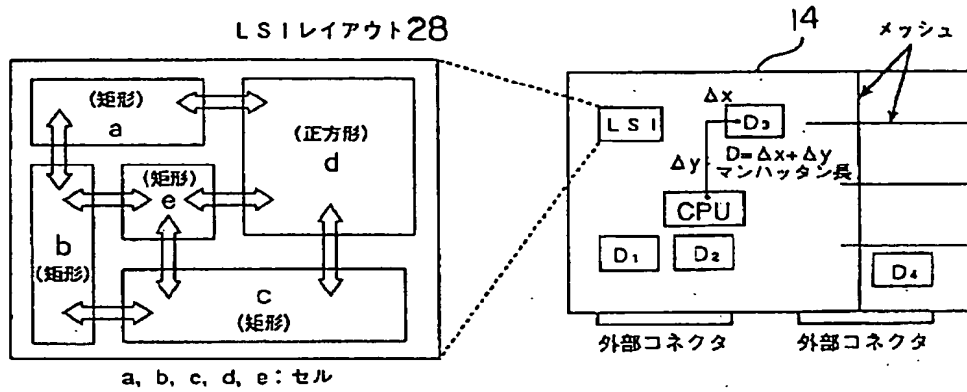
No.	基板タイプ名	実装線配線長	矩形化率	チャネル要求長	誤差
1	A	362482.38	0.8284	389241.1798	+7.3%
2	B	176619.4	0.8284	189752.8059	+7.4%
3	C	206418.94	0.8284	210040.7658	+1.7%

【図3】



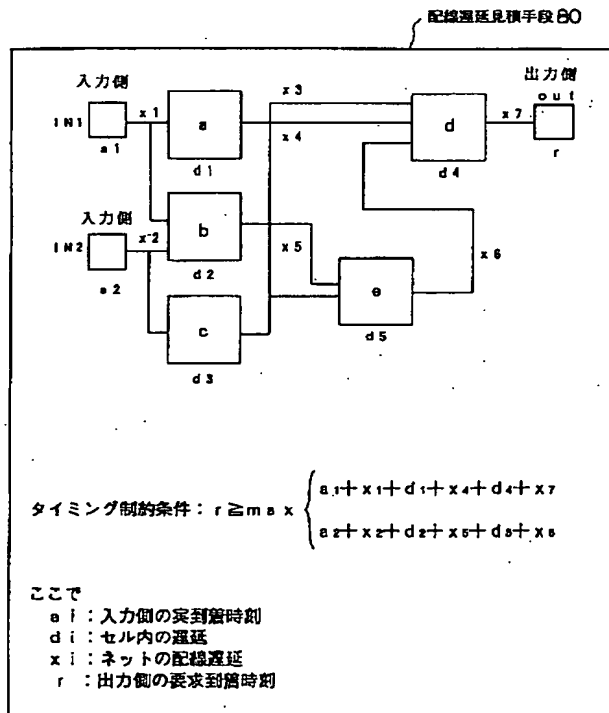
【図6】

[図 6]



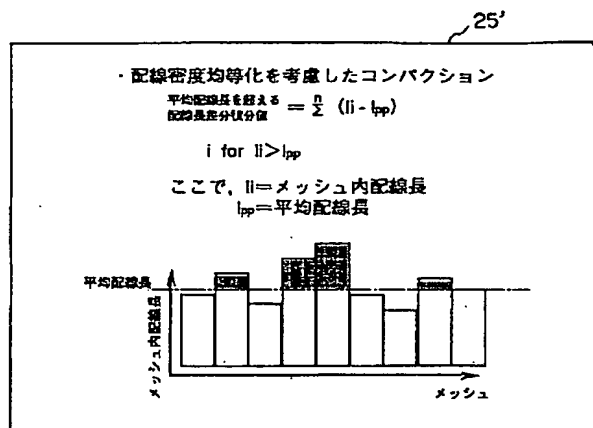
【図7】

[図 7]



【図10】

[図 1 0]

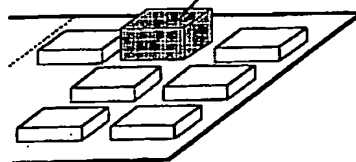


【図23】

[図 2 3]

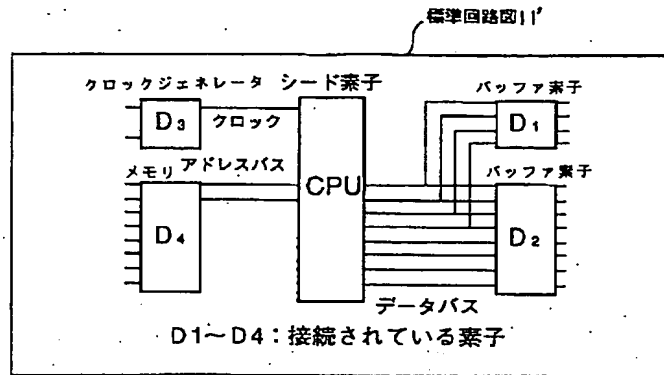
高さオーバー部品抽出手段 100

高さオーバー部品 (35mm) > 許容部品高さ (30mm)



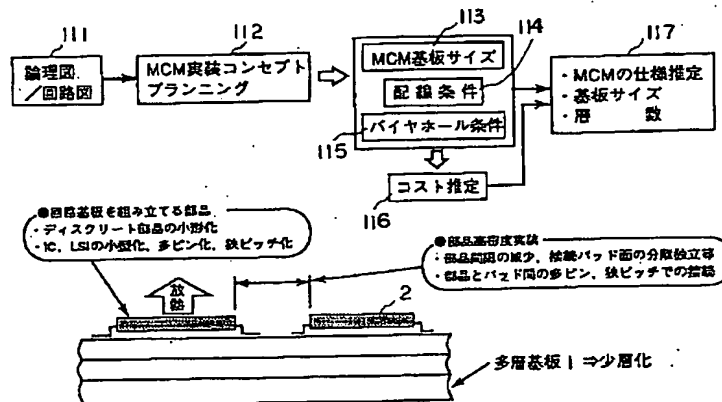
【図8】

【図8】



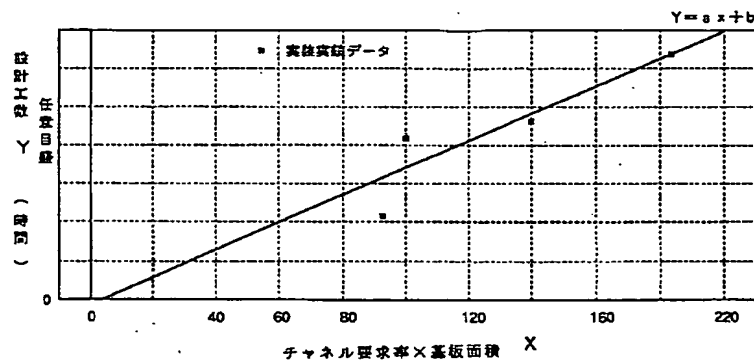
【図11】

【図11】



【図15】

【図15】



[図 9]

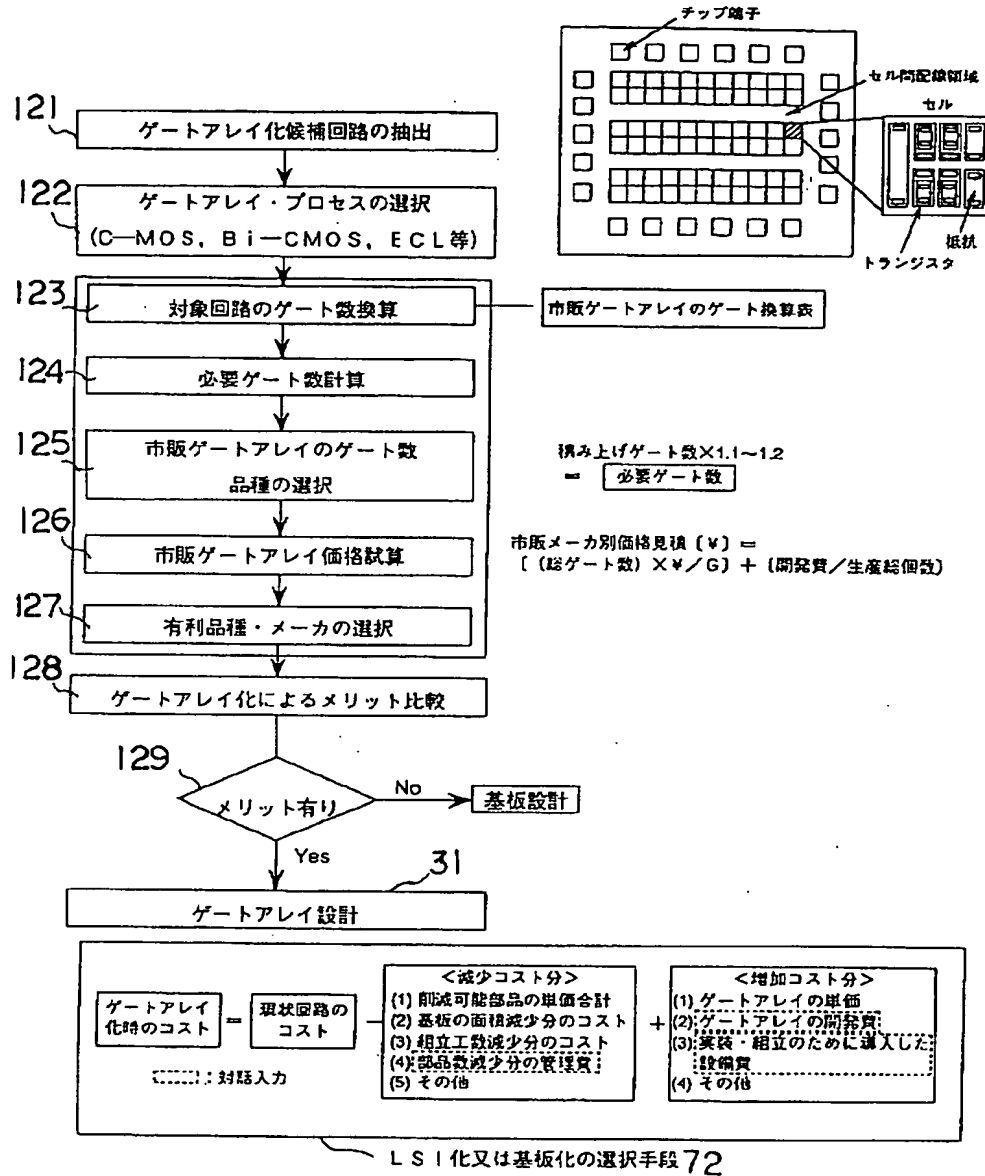
製品データ管理システム20の部品配置用標準回路知識ベース96

素子名	始接続 素子ピン数 (NP)	CPUとの 接続ピン数 (NC)	素子の 機能	CPUでの ピン名	マンハッ タン長 (D)	ネットの素子に 依存する重み (CV ₀)	$\frac{1}{D} \cdot \frac{NC}{NP}$ (=X ₁)	同じカテゴリ での平均値	$\frac{X_1}{CV_0}$ (=X ₀)	$\frac{X_0}{X_{0MAX}}$ (正規化重み)
D1	20	4	バッファ	データバス	5	1.0	$\left(=\frac{1}{5} \cdot \frac{20}{4}\right)$	1.13	$\left(=\frac{1.13}{1}\right)$	0.40 $\left(=\frac{1.13}{2.80}\right)$
D2	20	8	バッファ	データバス	2	1.25	$\left(=\frac{1}{2} \cdot \frac{20}{8}\right)$			
D3	14	1	クロック ジェネレータ	クロック	10	1.40	$\left(=\frac{1}{10} \cdot \frac{14}{1}\right)$	1.40	$\left(=\frac{1.40}{0.5}\right)$	1.00 $\left(=\frac{2.80}{2.80}\right)$
D4	24	2	メモリ	アドレス バス	30	0.40	$\left(=\frac{1}{30} \cdot \frac{24}{2}\right)$	0.40	$\left(=\frac{0.40}{0.7}\right)$	0.20 $\left(=\frac{0.57}{2.80}\right)$

[図 9]

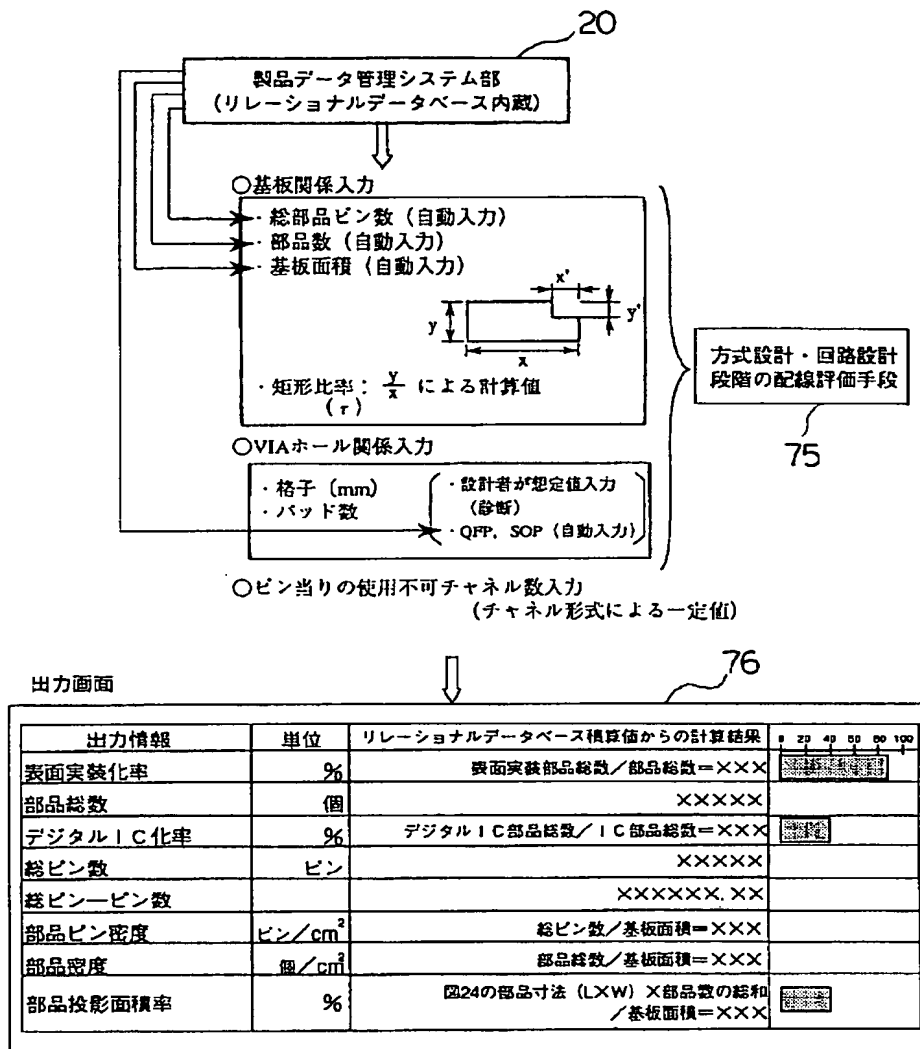
【図12】

[図 1 2]



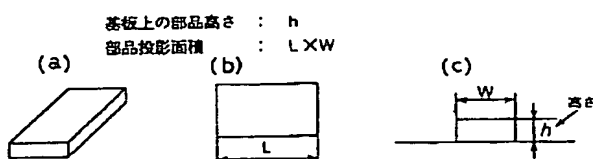
【図13】

[図 1 3]



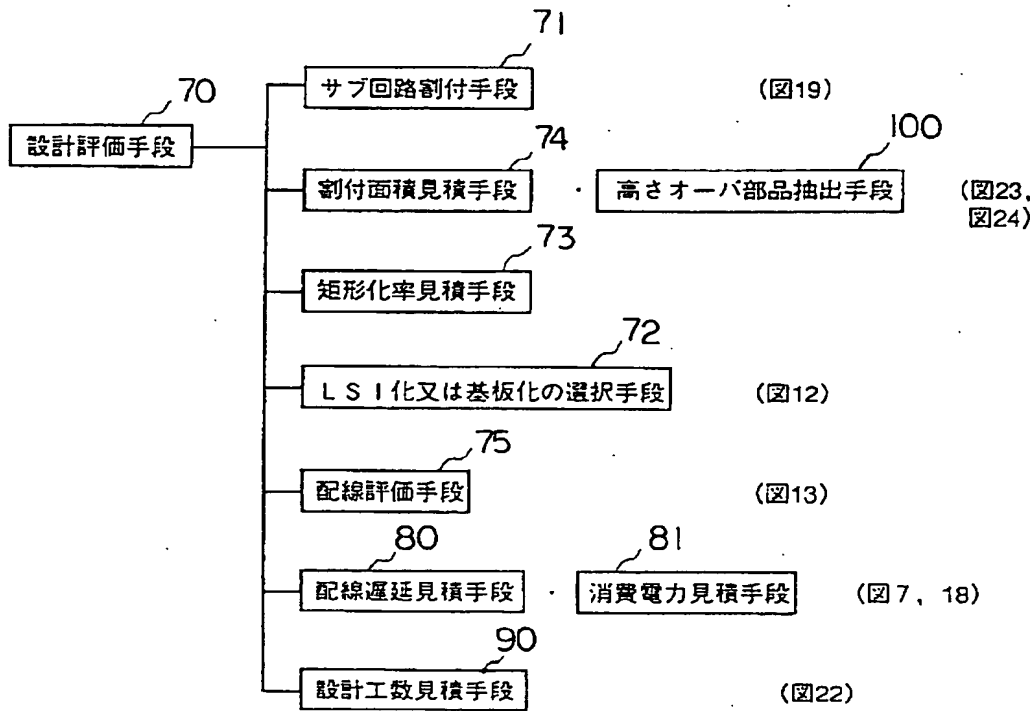
【図24】

[図 2 4]



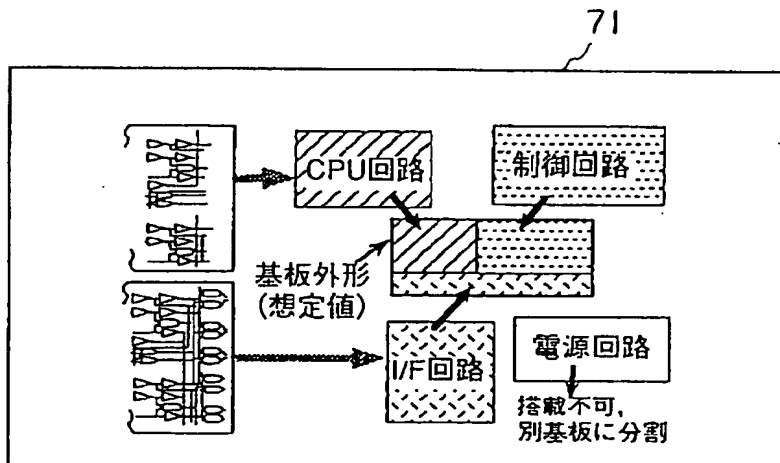
【図16】

[図 1 6]



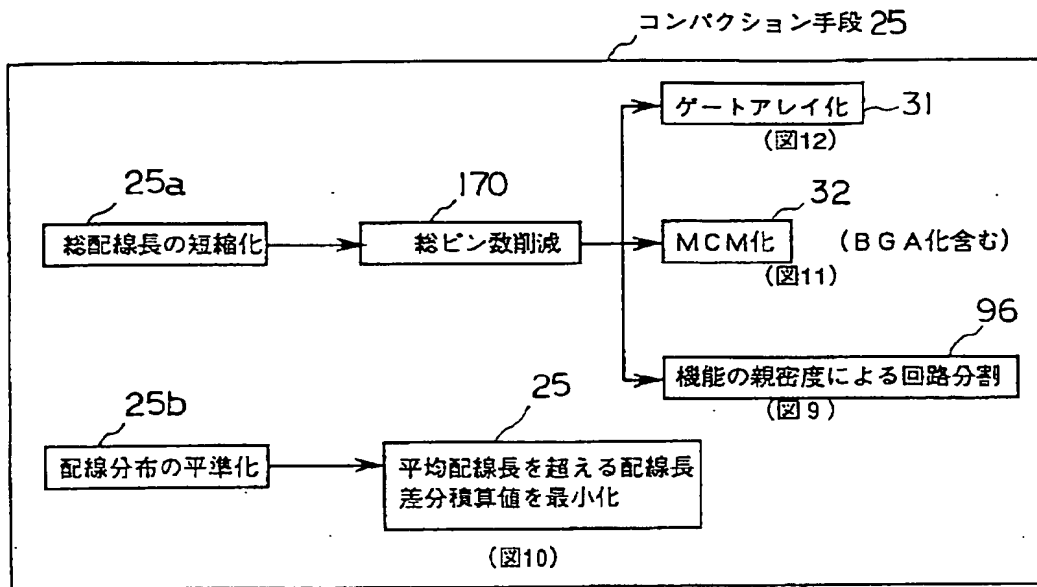
【図19】

[図 1 9]



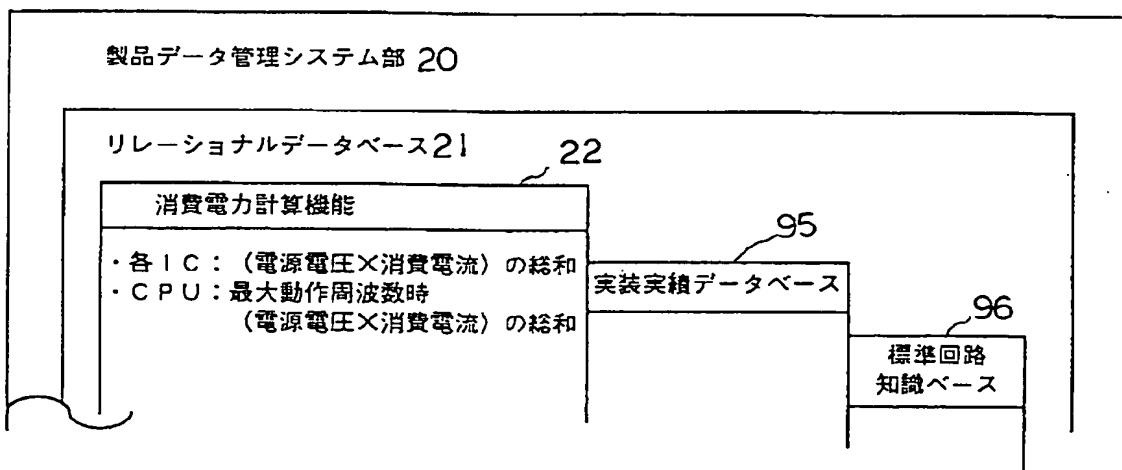
【図 17】

[図 17]



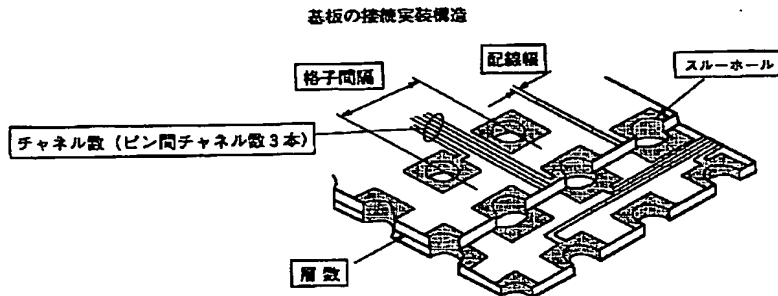
【図 18】

[図 18]



【図20】

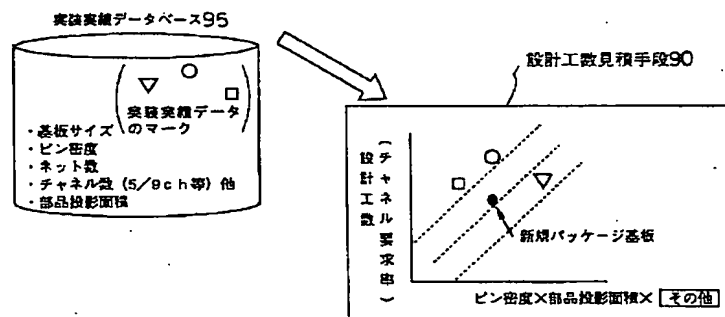
[図 2 0]



【図22】

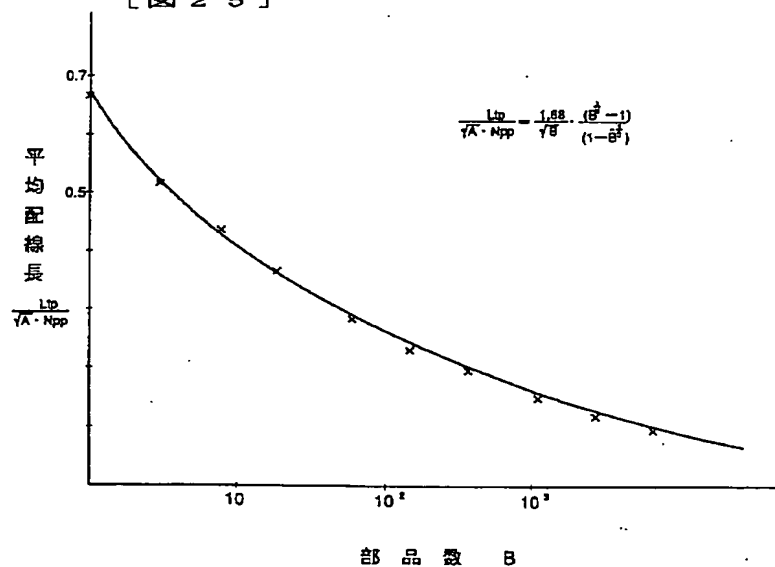
[図 2 2]

製品データ管理システム部20内

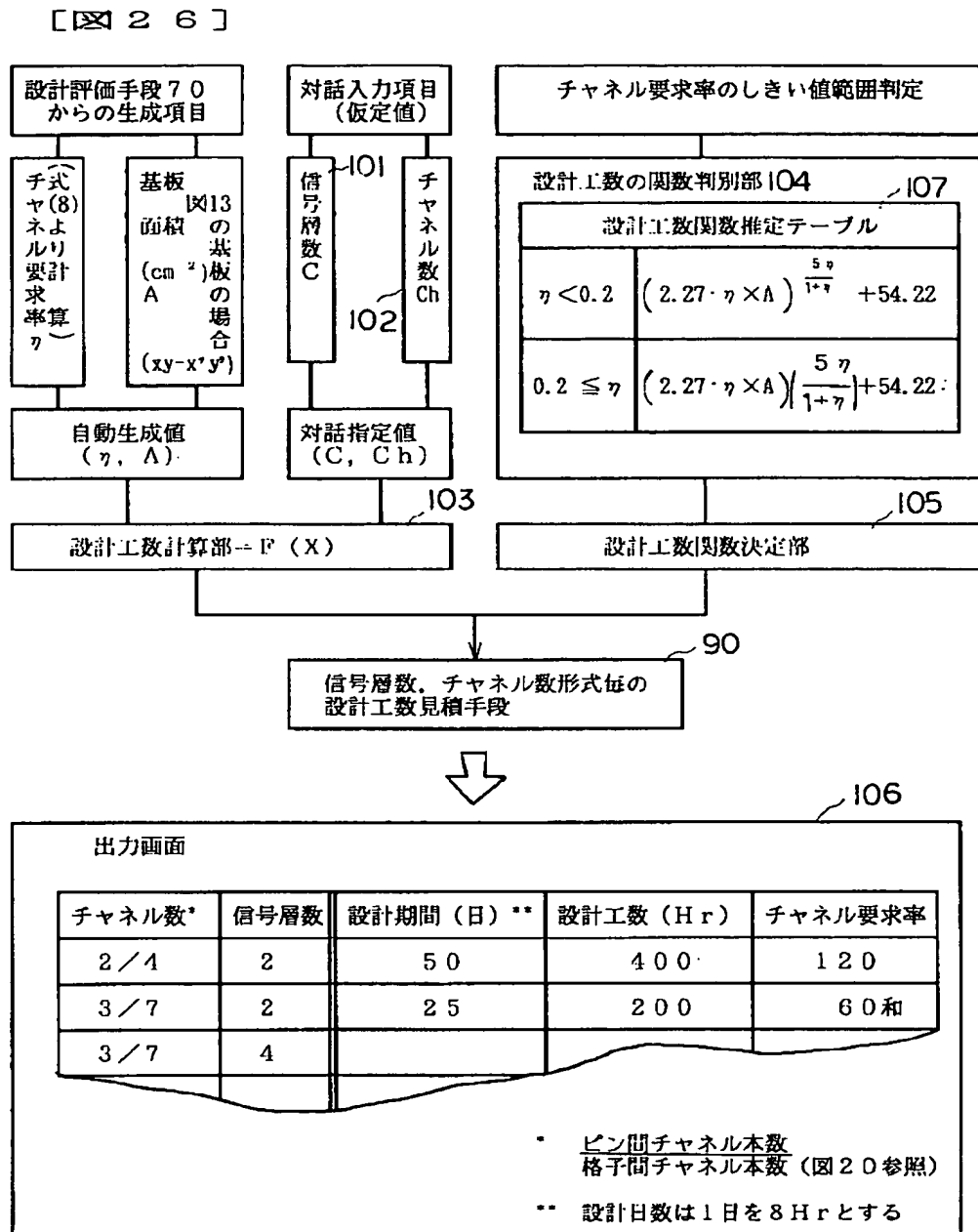


【図25】

[図 2 5]

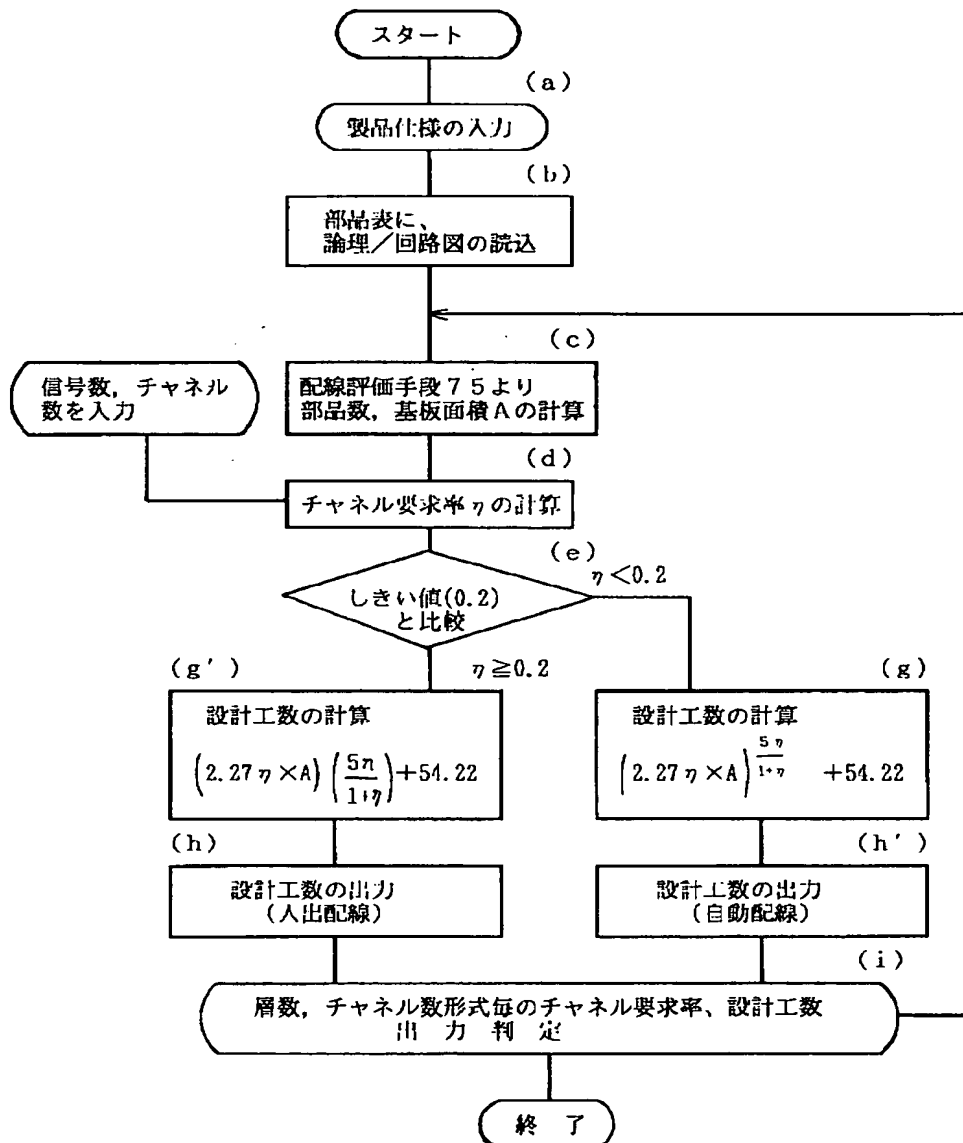


【図26】



【図 27】

「図 27」



フロントページの続き

(72)発明者 高橋 伸治
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 西山 良徳
神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(72)発明者 荒井 信一
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 大橋 敏二郎
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 早川 光春
神奈川県川崎市幸区鹿島田890番地 株式
会社日立製作所情報システム事業部内